



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0011209  
Application Number

출원년월일 : 2003년 02월 22일  
Date of Application FEB 22, 2003

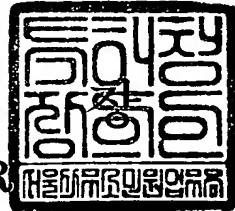
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003년 09월 19일

특허청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0022
【제출일자】	2003.02.22
【국제특허분류】	H01L
【발명의 명칭】	칩 크랙이 개선된 멀티 칩 패키지 및 그 제조방법
【발명의 영문명칭】	Multi chip package with reduced chip crack and fabricating method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	신동길
【성명의 영문표기】	SHIN,Dong Kil
【주민등록번호】	701021-1810322
【우편번호】	445-973
【주소】	경기도 화성군 태안읍 반월리 신영통현대아파트 111-101
【국적】	KR
【발명자】	
【성명의 국문표기】	이동호
【성명의 영문표기】	LEE,Dong Ho
【주민등록번호】	610521-1055439

【우편번호】	463-739		
【주소】	경기도 성남시 분당구 미금동(까치마을) 신원아파트 313-1502		
【국적】	KR		
【발명자】			
【성명의 국문표기】	문호정		
【성명의 영문표기】	MOON, Ho Jeong		
【주민등록번호】	670429-1232816		
【우편번호】	330-768		
【주소】	충청남도 천안시 신방동 한라동백2차아파트 101-1404		
【국적】	KR		
【발명자】			
【성명의 국문표기】	김상영		
【성명의 영문표기】	KIM, Sang Young		
【주민등록번호】	710325-1388711		
【우편번호】	330-090		
【주소】	충청남도 천안시 쌍용동 광명아파트 103-1808		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	4	면	4,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	16	항	621,000 원
【합계】	654,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

**【요약서】****【요약】**

종래의 멀티 칩 패키지에서는 칩 적층을 위하여 사용한 접착제에 의하여 냉각시 칩 두께 방향으로 변형력이 작용하나, 칩 주위를 감싸고 있는 봉합수지가 칩을 강하게 구속함에 따라 응력 집중으로 칩 크랙이 발생하는 문제가 있다. 본 발명은 이를 개선하고자, 칩의 주위(예를 들어, 칩의 측면 또는 상면)에 봉합수지보다 유연한 완충재(soft element)를 구비하여 칩의 두께 방향 운동성을 확보함으로써 응력 집중을 억제하여 칩 크랙을 방지하는 것이다.

**【대표도】**

도 4

**【명세서】****【발명의 명칭】**

칩 크랙이 개선된 멀티 칩 패키지 및 그 제조방법{Multi chip package with reduced chip crack and fabricating method thereof}

**【도면의 간단한 설명】**

도 1은 종래기술에 의한 멀티 칩 패키지를 설명하기 위한 단면도이다.

도 2는 도 1의 패키지에서의 평면 방향 열변형 및 총체적 휘어짐(global warpage)을 도시한 것이다.

도 3은 도 1의 패키지에서의 두께 방향 열변형을 도시한 것이다.

도 4 내지 도 8은 본 발명의 실시예에 따라 반도체 칩 측면에 유연한 완충재(soft element)가 구비된 멀티 칩 패키지의 도면들이다.

도 9는 본 발명의 다른 실시예에 따라 최상단 칩의 상면에 유연한 완충재가 구비된 멀티 칩 패키지의 도면이다.

도 10은 도 1의 패키지에서의 응력을 시뮬레이션한 결과이다.

도 11은 도 10 중 제1 칩의 응력만을 도시한 것이다.

도 12는 도 8의 패키지에서 제1 칩의 응력을 시뮬레이션한 결과이다.

도 13은 도 6의 패키지에서 제1 칩의 응력을 시뮬레이션한 결과이다.

**<도면의 주요 부분에 대한 부호의 설명>**

110...기판 120...접착제

130, 140...반도체 칩 150...봉합수지

155a, 155b, 155c, 155d, 155e, 155f...완충재

170...솔더볼

### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<15> 본 발명은 반도체 장치 및 제조방법에 관한 것으로, 특히 복수개의 반도체 칩이 기판 위에 수직 방향으로 실장되어 봉합수지로 밀봉된 멀티 칩 패키지 및 그 제조방법에 관한 것이다.

<16> 메모리의 소형·대용량·다기능화를 위하여 멀티 칩 패키지가 그 해결책으로 부각되고 있다. 멀티 칩 패키지는 한 패키지 내에 여러 칩을 적층(stack)함으로써 소비자의 요구에 부합할 수 있으나, 기존의 단품 패키지에 대비한 구조의 복잡성으로 인하여 여러 가지 신뢰성 문제가 발생하고 있다.

<17> 2개의 칩을 수직 방향으로 적층한 칩 온 칩(Chip On Chip) 구조의 일반적인 멀티 칩 패키지는 도 1과 같다. 도 1을 참조하면, 기판(10) 위에 접착제(20)를 사용하여 제1 칩(30)이 부착되고, 다시 접착제(20)를 사용하여 제2 칩(40)이 제1 칩(30) 위에 부착된 후, 봉합수지(대표적으로 에폭시계 수지인 EMC)(50)로 밀봉되어 있다. 도면의 참조부호 60은 제1 및 제2 칩(30, 40)의 본드패드(bond pad)와 기판(10)의 본드핑거(bond finger)를 연결하는 금선(gold wire)을 가리키고, 참조부호 70은 패키지의 외부연결단자로 사용되는 솔더볼(solder ball)을 가리킨다. 그런데, 이러한 구조의 멀티 칩 패키지에서는 칩 적층을 위하여 사용한 접착제(20)

에 의한 열 하중 때문에 칩 평면 방향뿐 아니라 두께 방향으로도 변형이 크게 나타나 칩 크랙(chip crack)이 유발되는 등의 문제가 있다.

<18> 먼저, 평면 방향 모드는 도 2와 같이 패키지가 전체적으로 수축하는 동시에, 총체적 열적 불일치(global thermal mismatch)에 의하여 EMC(50)의 수축력(52)과 기판(10)의 수축력(12)이 균형을 이루게 하는 특성에 의하여 제1 및 제2 칩(30, 40) 휘어짐(warpage)의 형태로 나타난다. 다음, 두께 방향 모드는 도 3과 같이 패키지 냉각시 접착제(20)의 수축력(22)에 의한 것이다. 접착제(20)의 변형에 의한 수축력(22) 때문에 상 · 하의 제1 및 제2 칩(30, 40)이 서로 가까워지려고 한다. 일반적으로 접착제는 상대적으로 약한 재료이긴 하나, 얇은 칩에 두께 방향으로 힘이 가해지는 모드에서는 작은 힘으로도 큰 변형을 유발하게 된다. 그러나, 제1 및 제2 칩(30, 40) 주위를 감싸고 있는 EMC(50)는 상대적으로 열팽창계수가 작고 강하므로 제1 및 제2 칩(30, 40)의 에지 부분이 변형되지 못하도록 강하게 구속한다. 결국 도 3에서와 같이 제1 및 제2 칩(30, 40)의 에지 부분이 많이 휘며 이렇게 변형된 에지 안쪽에는 응력 집중으로 취약 부분(32, 42)이 발생하기 때문에 심할 경우 칩 크랙이 유발된다. 특히 동일한 종류의 칩이 적층된 멀티 칩 패키지에서는 칩 크랙이 심각할 정도로 다발하고 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<19> 본 발명이 이루고자 하는 기술적 과제는 봉합수지가 칩에 미치는 구속력을 완화하여 패키지 냉각시 칩의 운동성을 확보함으로써 칩 에지 부분의 응력 집중을 억제, 칩 크랙을 방지할 수 있는 멀티 칩 패키지를 제공하는 것이다.

<20> 본 발명이 이루고자 하는 다른 기술적 과제는 칩 크랙이 방지된 구조의 멀티 칩 패키지 제조방법을 제공하는 것이다.

## 【발명의 구성 및 작용】

<21> 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 멀티 칩 패키지는 2개 이상의 반도체 칩들이 접착제에 의하여 기판에 수직 적층되어 봉합수지로 밀봉된 멀티 칩 패키지로서, 상기 반도체 칩들과 봉합수지 계면에 상기 봉합수지보다 유연한 완충재(soft element)가 구비되는 것이 특징이다.

<22> 상기 다른 기술적 과제를 달성하기 위하여, 본 발명에 따른 멀티 칩 패키지 제조방법에서는 기판 위에 접착제를 사용하여 2개 이상의 반도체 칩들을 수직 적층한다. 상기 반도체 칩들의 본드패드와 상기 기판의 본드핑거를 금선으로 본딩한 다음, 상기 반도체 칩들 중 적어도 어느 하나의 적어도 일측면에 유연한 완충재를 형성한다. 상기 반도체 칩들과의 계면에 상기 완충재를 포함한 채 상기 반도체 칩들을 봉합수지로 밀봉한다.

<23> 본 발명에서는 냉각시 접착제에 의해 반도체 칩들에 가해지는 하중에 대한 반도체 칩들의 움직임을 고려하여 칩 주위(around)에 유연한 완충재를 구비하여 칩의 두께 방향 운동성을 확보한다. 칩이 봉합수지에 바로 접촉해 있을 때에 비하여 칩의 두께 방향 움직임이 자유로워지므로 접착제와 봉합수지의 열팽창계수 차이가 있더라도 칩에 가해지는 응력을 최소화하여 칩에 발생하는 국부적인 변형 및 응력 집중을 억제할 수 있다. 따라서, 칩 크랙을 방지할 수 있다.

<24> 기타 실시예의 구체적 사항들은 상세한 설명 및 도면들에 포함되어 있다.

<25> 이하 첨부한 도면을 참조하여 본 발명에 따른 멀티 칩 패키지 및 그 제조방법에 관한 바람직한 실시예들을 설명한다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전

하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

<26> 본 발명의 실시예에 따른 멀티 칩 패키지는 2개의 반도체 칩들, 예컨대 플래시(flash) 메모리 칩과 에스램(SRAM) 칩 등이 접착제에 의하여 기판에 수직 적층된 뒤 EMC와 같은 에폭시 계 혹은 실리콘계 수지인 봉합수지로 밀봉된 칩 온 칩 구조의 멀티 칩 패키지로서, 반도체 칩들과 봉합수지 계면에 봉합수지보다 유연한 완충재가 구비된다. 이 패키지는, 예컨대 솔더볼의 피치가 1mm보다 작은 FBGA(fine pitch ball grid array)로 구현될 수 있다. 그럴 경우, 기판은 0.21mm 정도로 얇은 PCB 기판 혹은 폴리이미드(polyimide) 기판일 수 있다.

<27> 완충재는 반도체 칩들 중 적어도 어느 하나의 적어도 일측면 전부 혹은 일부에 구비될 수 있다. 또는, 반도체 칩들 중 최상단 칩의 상면 전부 혹은 일부에 구비될 수 있다.

<28> 완충재는 봉합수지보다 유연한 것이면 어떤 종류라도 무방하나, 특히 탄성중합체 (elastomer) 또는 에폭시(epoxy)계 수지일 수 있다. 탄성중합체 물질로는 폴리이미드, 폴리케톤(polyketone), 폴리에테르케톤(polyetherketone), 폴리에테르 솔폰(polyether sulfone), 폴리에틸렌 테레프탈레이트(polyethylene terephthalate), 폴루오로에틸렌 프로필렌 코폴리머 (fluoroethylene propylene copolymer), 셀룰로오스(cellulose), 트리아세테이트(triacetate), 실리콘(silicone) 및 고무가 사용될 수 있다. 같은 에폭시 계열이라도, 봉합수지는 에폭시 이외에 충진제(filler), 난연제(fire retardant), 경화제(hardner), 이형제(release agent), 착색제(pigment) 등이 더 혼합된 것이어서 열팽창계수가 작고 경(hard)하다.

<29> 이러한 멀티 칩 패키지 제조방법은 다음과 같은 단계를 거쳐 수행된다. 먼저, 기판 위에 접착제를 사용하여 2개 이상의 반도체 칩들을 수직 적층한다. 이 반도체 칩들의 본드패드와 상기 기판의 본드핑거를 금선으로 본딩한다. 그런 다음, 반도체 칩들 중 적어도 어느 하나

의 적어도 일측면에 유연한 완충재를 형성한다. 완충재를 형성할 때에는 완충재의 특성에 따른 적절한 방법에 의한다. 예컨대 점액질로서 나중에 건조 경화되는 상태의 것은 디스펜서를 이용하여 떨어뜨리거나 회전 도포하거나 둘러 도포, 샤큐 분무한 다음 건조한다. 시트형인 경우에는 시트를 직접 부착한다. 이 때의 완충재는 본딩된 금선을 그 안에 포함하게 형성될 수 있다. 다음, 반도체 칩들과의 계면에 상기 완충재를 포함한 채 반도체 칩들을 봉합수지로 밀봉한다.

<30> 도 4 내지 도 9는 본 발명에 따라 반도체 칩과 봉합수지 계면에 봉합수지보다 유연한 완충재를 적용한 다양한 예를 도시한 도면들이다. 각 도면의 (a)는 반도체 칩과 기판의 접합 상태를 개략적으로 나타내는 평면도이고, (b)는 (a)의 B-B' 선에 대응하는 단면도이다. 각 패키지는 반도체 칩인 제1 칩(130)과 제2 칩(140)이 접착제(120)에 의하여 기판(110)에 수직 적층되어 봉합수지(150)로 밀봉된 경우를 예로 들었다. 도면의 참조부호 170은 패키지의 외부연결 단자로 사용되는 솔더볼을 가리킨다. FBGA 패키지를 구현하기 위해, 솔더볼(170)의 피치는 1mm보다 작다. 기판(110)은 0.21mm 정도로 얇은 PCB 기판 혹은 폴리이미드 기판이다. 도시의 편리를 위해 도 1에서와 같은 금선은 생략한다.

<31> 먼저 도 4는 제1 칩(130)과 제2 칩(140)의 일측면 일부에만 완충재(155a)를 구비한 경우로, 제1 및 제2 칩(130, 140) 일부에 봉합수지(150)의 구속력으로부터 자유로운 영역이 발생하므로, 냉각시 제1 및 제2 칩(130, 140)의 두께 방향 운동성이 증가하게 된다.

<32> 다음으로 도 5에서와 같이, 제1 및 제2 칩(130, 140)의 일측면 전부에 완충재(155b)가 구비될 수도 있다. 도 4의 경우에 비해 제1 및 제2 칩(130, 140)이 직접 봉합수지(150)와 접촉하는 면적이 더 좁아지므로 제1 및 제2 칩(130, 140)의 운동성이 더욱 증가하게 된다.

<33> 나아가 완충재(155c)는 제1 및 제2 칩(130, 140)의 둘 이상의 측면에 일부 또는 전부에 구비될 수 있다. 예를 들어 도 6에서와 같이 제1 및 제2 칩(130, 140)의 네 측면 전부 또는 일부에 완충재(155c)가 구비될 수도 있다. 특히, 금선으로 본딩된 부분을 모두 완충재로 감싸 주는 것이 양호한 결과를 가져온다.

<34> 뿐만 아니라, 완충재(155d, 155e)는 제1 및 제2 칩(130, 140) 중 어느 하나의 칩의 측면에만 구비될 수도 있다. 도 7은 완충재(155d)가 제1 칩(130), 즉 하부 칩의 측면에만 구비된 경우를 나타내고 도 8은 완충재(155e)가 제2 칩(140), 즉 상부 칩의 측면에만 구비된 경우를 나타낸다. 제1 및 제2 칩(130, 140) 중 어느 하나의 운동성만 종래보다 좋아지더라도 나머지 칩에 발생되는 응력은 훨씬 감소하게 된다.

<35> 완충재(155f)는 또한 도 9에서와 같이 제1 및 제2 칩(130, 140) 중 최상단 칩, 즉 여기서는 제2 칩(140)의 상면 전부 혹은 일부에 구비될 수 있다. 도면에는 상면 전부에 고르게 구비된 것을 도시하였다.

<36> 이상에서 살펴본 것과 같이, 반도체 칩들과 봉합수지의 계면 어느 일부에라도 봉합수지 보다 유연한 완충재가 구비되기만 하면, 그 세부적인 위치에는 관계없이 반도체 칩들의 두께 방향 운동성을 종래보다는 확보할 수 있다. 따라서, 접착제와 봉합수지의 열팽창계수 차이가 있다 하더라도 칩에 가해지는 응력을 최소화하여 칩에 발생하는 국부적인 변형을 억제할 수 있으므로 칩 크랙을 방지할 수 있다.

<37> 본 발명에 관한 보다 상세한 내용은 다음의 구체적인 실험예들을 통하여 설명하며, 여기에 기재되지 않은 내용은 이 기술 분야에서 숙련된 자이면 충분히 기술적으로 유추할 수 있는 것이므로 설명을 생략한다.

<38> 도 10 내지 도 13은 종래의 멀티 칩 패키지와 본 발명에 의한 멀티 칩 패키지에서의 응력을 시뮬레이션한 결과들이다. 시뮬레이션 수단은 패키지 분야에서 물리적 특성 평가수단으로 사용되고 있는 ABAQUS 프로그램이었다. 각 도면은 175°C에서 -55°C까지 냉각시킬 때 패키지 내부에서의 응력 분포를 나타낸다. 주변에 비해 색이 진한 곳은 인장 응력 또는 압축 응력이 집중된 곳을 의미한다.

<39> 먼저 도 10은 종래기술에 따른 도 1의 멀티 칩 패키지에서의 응력을 시뮬레이션한 결과이다. 시뮬레이션 조건으로서, 기판(10)의 두께는 270 $\mu\text{m}$ , 기판(10)과 제1 칩(30) 사이의 접착제(20) 두께는 60 $\mu\text{m}$ , 제1 칩(30)과 제2 칩(40)의 두께는 각각 170 $\mu\text{m}$ , 제1 칩(30)과 제2 칩(40) 사이의 접착제(20) 두께는 120 $\mu\text{m}$ , 솔더볼(70)을 부착하기 위한 솔더 마스크(미도시)의 두께는 33 $\mu\text{m}$ 이고, EMC(50)의 두께는 700 $\mu\text{m}$ 인 것으로 설정하였다. 패키지의 평면 규격은 9.5 $\text{mm} \times 15.5\text{mm}$ 이고, 제1 칩(30)과 제2 칩(40)의 평면 규격은 각각 7.12 $\text{mm} \times 14.18\text{mm}$ 인 것으로 설정하였다. 각 구성요소의 물성은 다음의 표 1과 같다고 가정하였다.

<40> 【표 1】

	Tg(°C)	탄성 모듈러스(GPa)	열팽창계수(ppm)
기판(10)과 제1 칩(30) 사이의 접착제(20)	42	0.64	48/140
제1 칩(30)	-	170	2.6
제1 칩(30)과 제2 칩(40) 사이의 접착제(20)	40	1.3/0.1	70/200
제2 칩(40)	-	170	2.6
EMC(50)	140	24/5	15/45
솔더 마스크	105	3	60/140

<41> 여기서, Tg는 유리 전이 온도를 나타내고, xx/yy로 나타낸 수치는 Tg 이하에서의 물성/Tg 이상에서의 물성을 의미한다.

<42> 변형 형태를 보면, 제1 칩(30)과 제2 칩(40) 사이에 두께 방향 변형(200)이 심한 것을 볼 수 있다.

<43> 도 11은 도 10 중 제1 칩(30)의 응력만을 도시한 것이다. 제1 칩(30) 에지(E)보다 약간 안쪽(210)에 200MPa 정도의 인장 응력이 집중된 것을 볼 수 있다. 이러한 결과는 제1 및 제2 칩(30, 40) 주위를 감싸고 있는 EMC(50)가 냉각시 제1 및 제2 칩(30, 40)의 에지 부분이 변형되지 못하도록 강하게 구속함에 따라 발생되는 것이다.

<44> 도 12는 본 발명의 실시예에 따른 도 8의 멀티 칩 패키지에서 제1 칩(130)의 응력을 시뮬레이션한 결과이다. 시뮬레이션 조건으로서, 완충재(155e) 구비 여부만 제외하고는 도 10의 시뮬레이션 조건과 동일하게 하였다. 즉, 기판(110)의 두께는 270 $\mu\text{m}$ , 기판(110)과 제1 칩(130) 사이의 접착제(120) 두께는 60 $\mu\text{m}$ , 제1 칩(130)과 제2 칩(140)의 두께는 각각 170 $\mu\text{m}$ , 제1 칩(130)과 제2 칩(10) 사이의 접착제(120) 두께는 120 $\mu\text{m}$ , 솔더볼(170)을 부착하기 위한 솔더 마스크(미도시)의 두께는 33 $\mu\text{m}$ 이고, 봉합수지(150)의 두께는 700 $\mu\text{m}$ 인 것으로 설정하였다. 패키지의 평면 규격은 9.5 $\text{mm} \times 15.5\text{mm}$ 이고, 제1 칩(130)과 제2 칩(140)의 평면 규격은 각각 7.12 $\text{mm} \times 4.18\text{mm}$ 인 것으로 설정하였다. 각 구성요소의 물성은 다음의 표 2와 같다고 가정하였다.

<45> 【표 2】

	Tg(°C)	탄성 모듈러스(GPa)	열팽창계수(ppm)
기판(110)과 제1 칩(130) 사이의 접착제(120)	42	0.64	48/140
제1 칩(130)	-	170	2.6
제1 칩(130)과 제2 칩(140) 사이의 접착제(120)	40	1.3/0.1	70/200
제2 칩(140)	-	170	2.6
봉합수지(150)	140	24/5	15/45
솔더 마스크	105	3	60/140
완충재(155e)		1	50

<46> 표 1에서와 마찬가지로, Tg는 유리 전이 온도를 나타내고, xx/yy로 나타낸 수치는 Tg 이하에서의 물성/Tg 이상에서의 물성을 의미한다.

<47> 완충재(155e)가 제2 칩(140)의 측면에 구비되므로 인장 응력이 2MPa보다 자게 나타났다. 따라서, 완충재가 전혀 없는 도 7에 비해, 인장 응력이 약 1/100 정도 감소된 것을 알 수 있다.

<48> 도 13은 본 발명의 실시예에 따른 도 6의 멀티 칩 패키지에서 제1 칩(130)의 응력을 시뮬레이션한 결과이다. 제1 칩(130)과 제2 칩(140)의 네 측면에 완충재(155c)가 구비됨에 따라 응력이 거의 발생하지 않은 것을 볼 수 있다. 오히려 압축 응력이 -50MPa 정도로 나타난 것을 알 수 있다.

<49> 이상, 본 발명을 바람직한 실시예들을 들어 상세하게 설명하였으나, 본 발명은 상기 실시예들에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 많은 변형이 가능함은 명백하다.

### 【발명의 효과】

<50> 이상에서 설명한 바와 같이, 냉각시 접착제에 의해 반도체 칩들에 가해지는 하중에 대한 반도체 칩들의 움직임을 고려하여 칩 주위에 유연한 완충재를 구비하여 칩의 두께 방향 운동성을 확보한다. 칩을 밀봉하는 봉합수지가 칩에 미치는 구속력을 완화하므로 칩이 두께 방향으로 비교적 자유롭게 움직일 수 있다. 따라서, 패키지 냉각시 칩에 가해지는 응력을 최소화하여 칩에 발생하는 국부적인 변형을 억제할 수 있으므로 칩 크랙을 방지할 수 있다.

<51> 이와 같은 효과에 따라, 칩의 손상으로 인한 불량 원인을 제거함으로써 반도체 장치의 특성 및 신뢰성을 향상시키고 그에 따른 생산성을 향상시켜 제조 원가를 절감할 수 있다.

**【특허청구범위】****【청구항 1】**

2개 이상의 반도체 칩들이 접착제에 의하여 기판에 수직 적층되어 봉합수지로 밀봉된 멀티 칩 패키지에 있어서,

상기 반도체 칩들과 봉합수지 계면에 상기 봉합수지보다 유연한 완충재(soft element)가 더 구비된 것을 특징으로 하는 멀티 칩 패키지.

**【청구항 2】**

제 1 항에 있어서, 상기 완충재는 상기 반도체 칩들 중 적어도 어느 하나의 적어도 일측면 전부에 구비된 것을 특징으로 하는 멀티 칩 패키지.

**【청구항 3】**

제 1 항에 있어서, 상기 완충재는 상기 반도체 칩들 중 적어도 어느 하나의 적어도 일측면 일부에 구비된 것을 특징으로 하는 멀티 칩 패키지.

**【청구항 4】**

제 1 항에 있어서, 상기 완충재는 상기 반도체 칩들 중 최상단 칩의 상면 전부에 구비된 것을 특징으로 하는 멀티 칩 패키지.

**【청구항 5】**

제 1 항에 있어서, 상기 완충재는 상기 반도체 칩 중 최상단 칩의 상면 일부에 구비된 것을 특징으로 하는 멀티 칩 패키지.

**【청구항 6】**

제 1 항에 있어서, 상기 완충재는 냉각시 상기 접착제에 의해 상기 반도체 칩들에 가해지는 하중에 대하여 상기 반도체 칩들의 두께 방향 운동성이 증가되도록 구비된 것을 특징으로 하는 멀티 칩 패키지.

**【청구항 7】**

제 1 항에 있어서, 상기 완충재는 탄성중합체(elastomer) 또는 에폭시(epoxy)계 수지인 것을 특징으로 하는 멀티 칩 패키지.

**【청구항 8】**

제 1 항에 있어서, 상기 패키지는 외부연결단자로서 피치가 1mm보다 작은 솔더볼(solder ball)을 사용하는 FBGA(fine pitch ball grid array) 패키지인 것을 특징으로 하는 멀티 칩 패키지.

**【청구항 9】**

제 8 항에 있어서, 상기 기판은 PCB 기판 또는 폴리이미드(polyimide) 기판인 것을 특징으로 하는 멀티 칩 패키지.

**【청구항 10】**

기판 위에 접착제를 사용하여 2개 이상의 반도체 칩들을 수직 적층하는 단계;  
상기 반도체 칩들의 본드패드와 상기 기판의 본드핑거를 금선으로 본딩하는 단계;  
상기 반도체 칩들 중 적어도 어느 하나의 적어도 일측면에 유연한 완충재(soft element)를 형성하는 단계; 및

상기 반도체 칩들과의 계면에 상기 완충재를 포함한 채 상기 반도체 칩들을 봉합수지로 밀봉하는 단계를 포함하는 것을 특징으로 하는 멀티 칩 패키지 제조방법.

#### 【청구항 11】

제 10 항에 있어서, 상기 완충재는 상기 반도체 칩들 중 적어도 어느 하나의 적어도 일측면 전부에 형성하는 것을 특징으로 하는 멀티 칩 패키지 제조방법.

#### 【청구항 12】

제 10 항에 있어서, 상기 완충재는 상기 반도체 칩들 중 적어도 어느 하나의 적어도 일측면 일부에 형성하는 것을 특징으로 하는 멀티 칩 패키지 제조방법.

#### 【청구항 13】

제 10 항에 있어서, 상기 완충재는 상기 반도체 칩들 중 최상단 칩의 상면 전부에 형성하는 것을 특징으로 하는 멀티 칩 패키지 제조방법.

#### 【청구항 14】

제 10 항에 있어서, 상기 완충재는 상기 반도체 칩 중 최상단 칩의 상면 일부에 형성하는 것을 특징으로 하는 멀티 칩 패키지 제조방법.

#### 【청구항 15】

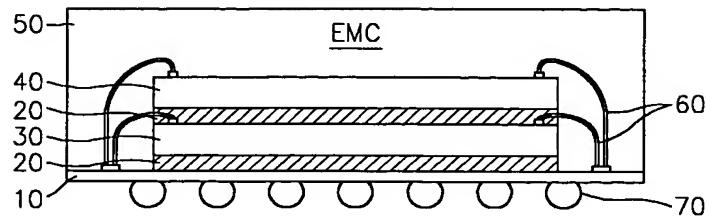
제 10 항에 있어서, 상기 완충재는 상기 금선으로 본딩된 부분을 포함하도록 형성하는 것을 특징으로 하는 멀티 칩 패키지 제조방법.

#### 【청구항 16】

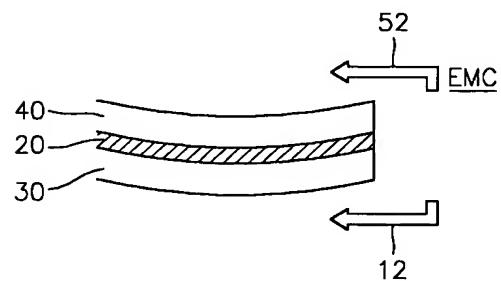
제 10 항에 있어서, 상기 완충재는 탄성중합체(elastomer) 또는 에폭시(epoxy)계 수지로 형성하는 것을 특징으로 하는 멀티 칩 패키지 제조방법.

## 【도면】

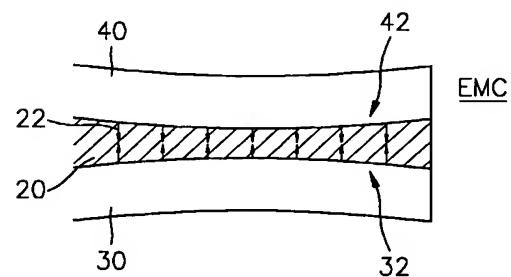
【도 1】



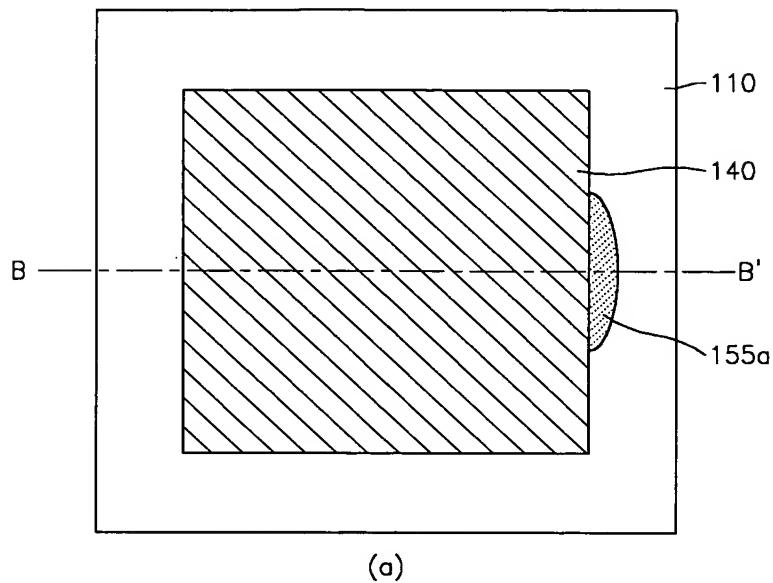
【도 2】



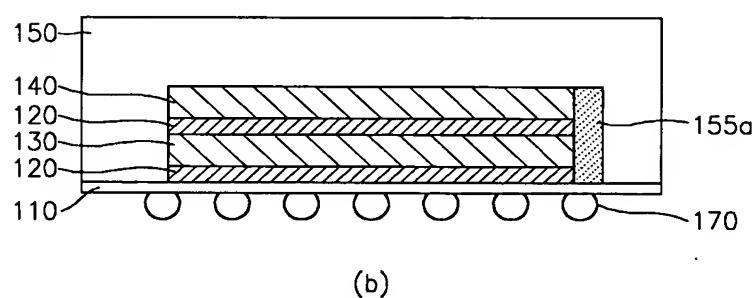
【도 3】



【도 4】

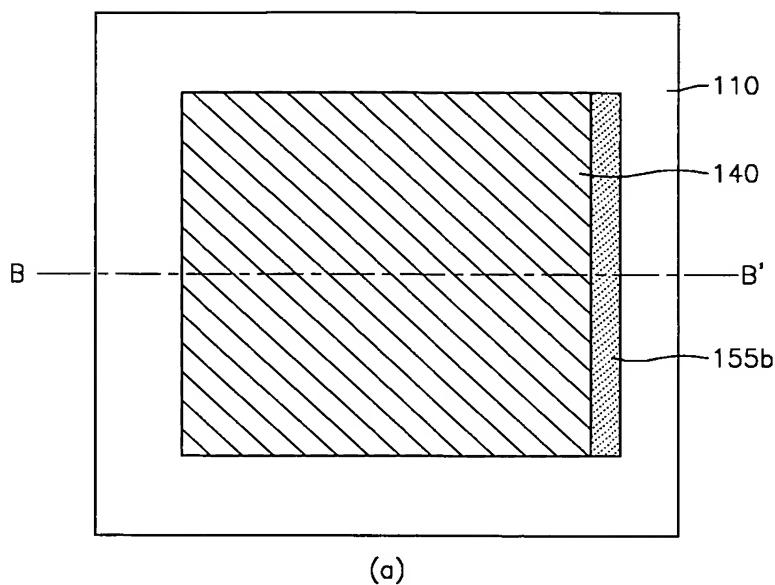


(a)

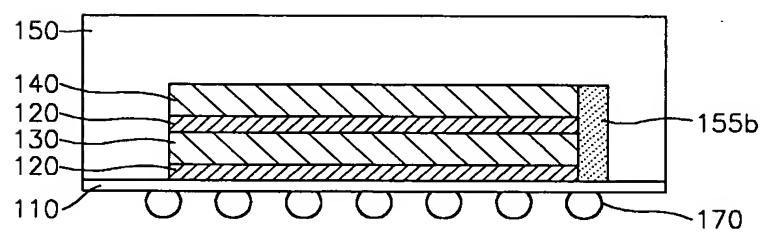


(b)

【도 5】

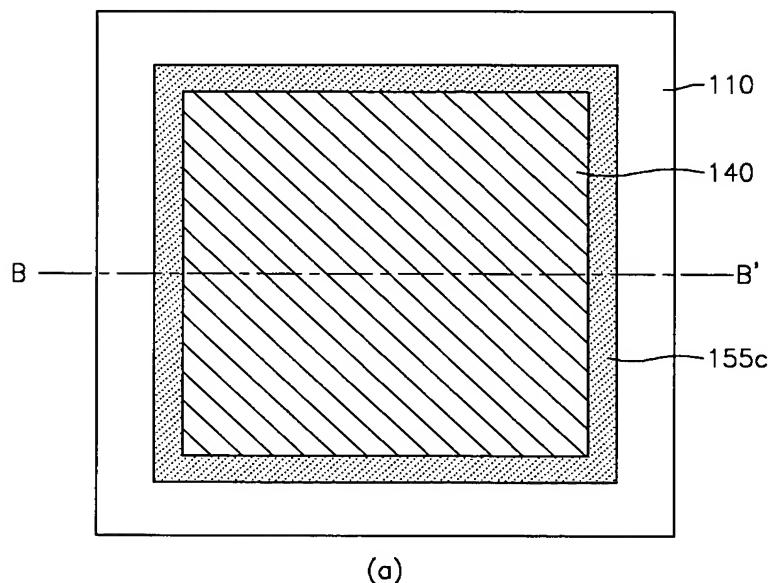


(a)

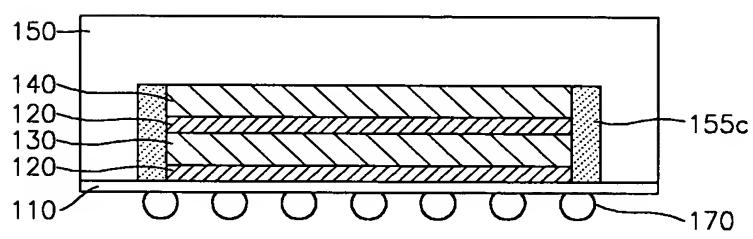


(b)

【도 6】

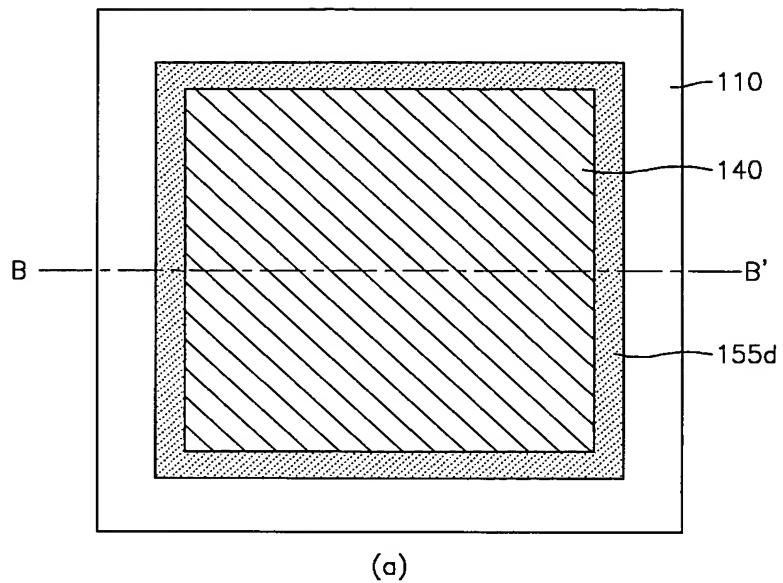


(a)

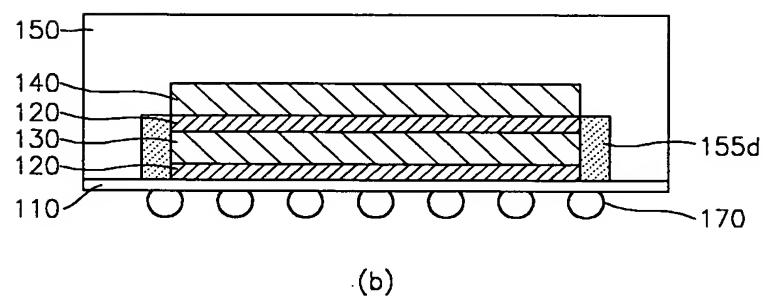


(b)

【도 7】

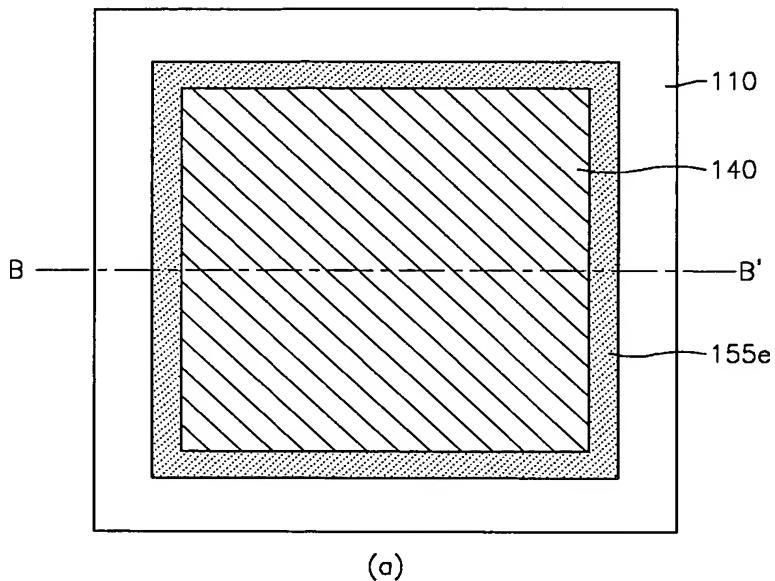


(a)

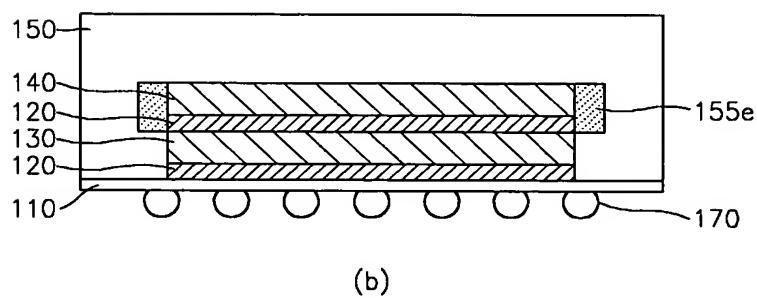


(b)

【도 8】

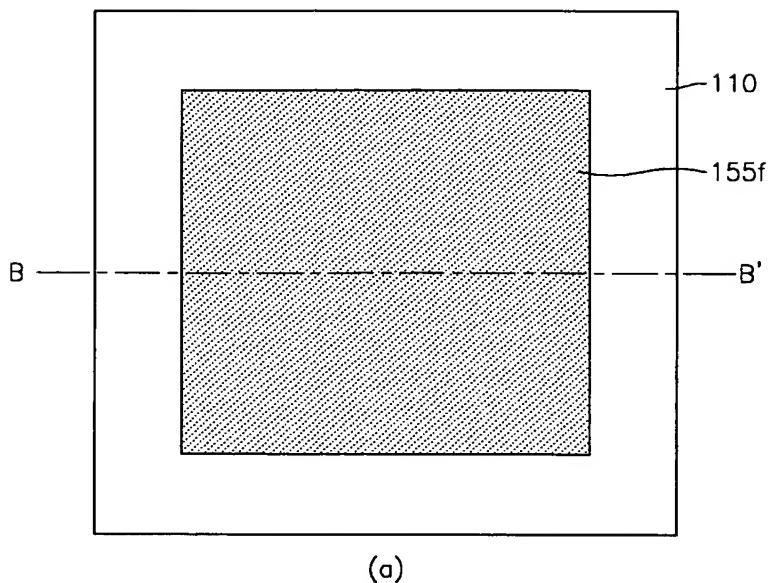


(a)

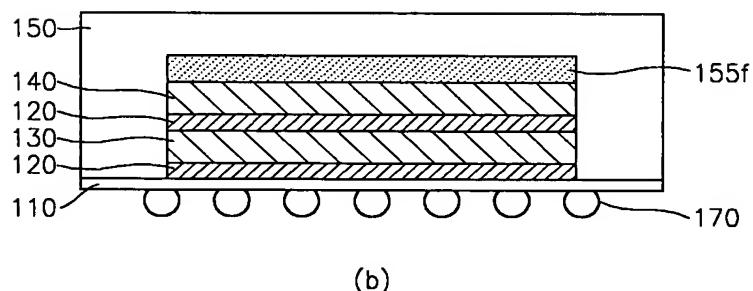


(b)

【도 9】

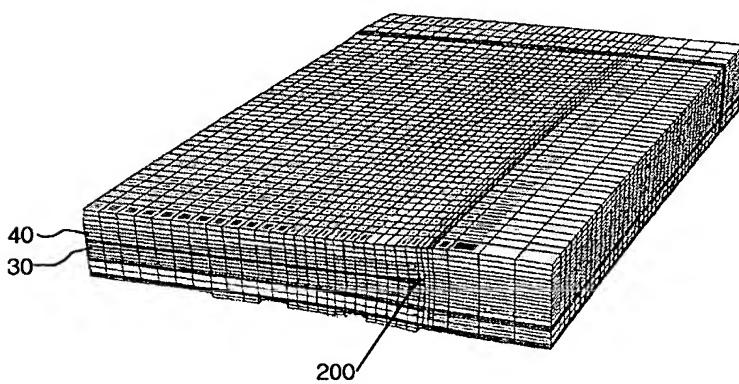


(a)

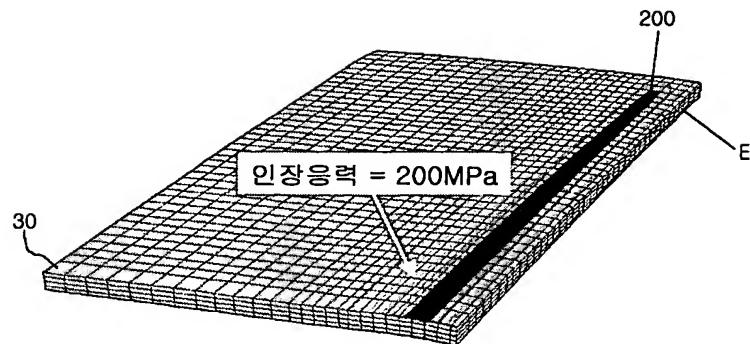


(b)

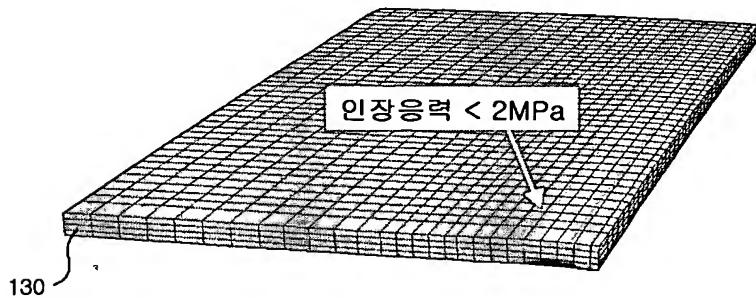
【도 10】



【도 11】



【도 12】



【도 13】

